

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of

NAGATA et al

Serial No. 09/520,609

Filed: March 7, 2000

For: Active Matrix Substrate, Method Of Manufacturing The
Same, And Image Sensor Incorporating The Same

* * * * *

Assistant Commissioner for Patents
Washington, DC 20231



Atty. Ref.: 1035-254

Group: 2871

Examiner: unknown

SUBMISSION OF PRIORITY DOCUMENTS

Sir:

It is respectfully requested that this application be given the benefit of the foreign filing date under the provisions of 35 U.S.C. §119 of the following, a certified copy of which is submitted herewith:

Application No.

Country of Origin

Filed

11-65520
2000-45034

Japan
Japan

11 March 1999
22 February 2000

Respectfully submitted,

NIXON & VANDERHYE P.C.

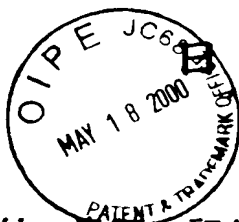
May 18, 2000

By:

H. Warren Burnam, Jr.

Reg. No. 29,366

HWB:lsh
1100 North Glebe Road, 8th Floor
Washington, DC 20032
Telephone: (703) 816-4000
Facsimile: (703) 816-4100



日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日

Date of Application:

1999年 3月11日

出願番号

Application Number:

平成11年特許願第065520号

出願人

Applicant(s):

シャープ株式会社

2000年 2月18日

特許庁長官
Commissioner,
Patent Office

近藤隆彦

出証番号 出証特2000-3008396

【書類名】 特許願

【整理番号】 99-00154

【提出日】 平成11年 3月11日

【あて先】 特許庁長官 伊佐山 建志 殿

【国際特許分類】 G02F 1/133 550
G02F 1/1343
H01L 27/14

【発明の名称】 アクティブマトリクス基板、その製造方法、及び、該基板を用いたイメージセンサ

【請求項の数】 6

【発明者】

 【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

 【氏名】 永田 尚志

【発明者】

 【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

 【氏名】 和泉 良弘

【発明者】

 【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

 【氏名】 島田 尚幸

【特許出願人】

 【識別番号】 000005049

 【氏名又は名称】 シャープ株式会社

【代理人】

 【識別番号】 100080034

 【弁理士】

 【氏名又は名称】 原 謙三

【電話番号】 06-6351-4384

【手数料の表示】

【予納台帳番号】 003229

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9003082

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 アクティブマトリクス基板、その製造方法、及び、該基板を用いたイメージセンサ

【特許請求の範囲】

【請求項 1】

格子状に配された複数の走査線および信号線により形成される画素毎に画素電極が設けられ、

上記走査線と信号線との交差部近傍に位置し、走査線、信号線および、画素電極それぞれに接続されたスイッチング素子と、

上記画素電極との間に蓄積容量を形成すべく設けられた蓄積容量電極と、信号線と平行に配された蓄積容量共通配線とを備えたアクティブマトリクス基板において、

上記信号線と、蓄積容量電極および蓄積容量共通配線とが、同一の電極層をパターンニングすることにより形成されていることを特徴とするアクティブマトリクス基板。

【請求項 2】

上記蓄積容量電極が透明電極膜であることを特徴とする請求項 1 記載のアクティブマトリクス基板。

【請求項 3】

上記スイッチング素子の上層を覆う絶縁膜を介して、上記画素電極と蓄積容量電極とが対向配置されていることを特徴とする請求項 1 または 2 に記載のアクティブマトリクス基板。

【請求項 4】

上記画素電極と絶縁膜との間に層間絶縁膜を有し、該層間絶縁膜に設けられたコンタクトホールを介して上記画素電極と蓄積容量電極とが対向配置されていることを特徴とする請求項 3 記載のアクティブマトリクス基板。

【請求項 5】

請求項 1 ないし 4 のいずれか一項に記載のアクティブマトリクス基板の製造方法であって、

上記信号線と、蓄積容量電極および蓄積容量共通配線とを、同一の電極層をパターンニングすることにより形成する工程を含むことを特徴とするアクティブマトリクス基板の製造方法。

【請求項 6】

請求項 1 ないし 4 のいずれか一項に記載のアクティブマトリクス基板と、入射した電磁放射線を電荷に変換する変換部と、該電荷を蓄積した蓄積容量を形成するためのバイアス電圧印加手段とを有することを特徴とするイメージセンサ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、例えば液晶表示装置やフラットパネル型イメージセンサ等に用いられるアクティブマトリクス基板に関するものである。さらには、該アクティブマトリクス基板を用いたイメージセンサに関するものである。

【0002】

【従来の技術】

液晶表示装置等に用いられるアクティブマトリクス基板は、格子状に配置された複数の信号線と複数の走査線とからなる電極配線と、上記信号線と走査線とで囲まれた画素ごとに設けられた画素電極、およびスイッチング素子等より構成されている。

【0003】

上記スイッチング素子は、二端子型のものであればそれぞれ、信号線（または走査線）および画素電極に、また、三端子型のものであればそれぞれ、信号線、走査線および画素電極に接続されている。そして、走査線に所定の電圧信号が入力されるとスイッチング素子がオンされ、信号線に入力された画像信号（電位）が各画素電極に書き込まれる。画素電極を選択駆動するスイッチング素子としては、三端子型の T F T（薄膜トランジスタ）素子、二端子型の M I M（金属－絶縁膜－金属）素子等が一般に知られている。

【0004】

スイッチング素子として T F T 素子（以下、単に T F T と称する）を用いて形

成した液晶表示装置の一部であるアクティブマトリクス基板の画素は、図9ないし図11に示すように、格子状に配置された信号線101・101と走査線102・102とからなる電極配線と、上記信号線101・101と走査線102・102とで囲まれた画素に設けられた画素電極103、およびTFT104等より構成されている。

【0005】

また、TFT104は、走査線102に接続されるゲート電極106、信号線101に接続されるソース電極107、および、画素電極103と、以下に述べる画素容量（蓄積容量）105aの一方の端子（透明電極層112）に接続されたドレイン電極108を有している。そして、上記の走査線102に走査信号が入力されるとTFT104が駆動され、信号線101に入力された画像信号（ビデオ信号）が、ソース電極107・ドレイン電極108を介して画素電極103に書き込まれる。

【0006】

上記のアクティブマトリクス基板において、画素電極103に書き込まれた画像信号を保持するための画素容量105aは、ゲート絶縁膜110、並びにゲート絶縁膜110を介して対向配置された画素容量電極（蓄積容量電極）105および透明電極層112により構成されている。画素容量電極105は、走査線102に平行な複数の画素容量105aを接続する画素容量共通配線（蓄積容量共通配線）を兼ねており、液晶セルの構成とされた場合に対向基板（図示せず）上の対向電極と接続される。

【0007】

上記アクティブマトリクス基板の製造工程は、図12（a）～（h）、並びに図13（a）～（h）にも示すように、絶縁性の透明基板109上に、ゲート電極106および画素容量電極105を形成し、続いて、ゲート絶縁膜110、半導体層111、 n^+ -Si層（ソース電極107およびドレイン電極108に相当）、透明導電層112、金属層113、保護膜114、層間絶縁膜115、画素電極103をなす透明導電層の順に積層・パターンニングされてなる。尚、TFT104のソース電極107に接続するように設けられた透明導電層112お

よび金属層 113 は信号線 101 に相当する。

【0008】

上記のアクティブマトリクス基板においては、画素電極 103 は、層間絶縁膜 115 を貫くコンタクトホール 116 を介して TFT 104 のドレイン電極 108 と接続される。一方、画素電極 103 と、信号線 101 および走査線 102（図 9 参照）とは、層間絶縁膜 115 により互いに隔てられているため信号線 101 および走査線 102 に対して画素電極 103 をオーバーラップさせることが可能となる（図 9 および図 10 参照）。この様な構造によると、開口率の向上、信号線 101 および走査線 102 に起因する電界をシールドすることによる液晶の配向不良（ディスクリネーション）の抑制といった効果があることが知られている。

【0009】

ところで、このように形成されたアクティブマトリクス基板は、液晶表示装置のみならずさまざまな用途に適用することができる。例えば具体的には、画素電極 103 上に、さらに、PIN 接合やショットキー接合をとる半導体積層素子を形成し、これをフォトダイオードとして機能させたフォトセンサを挙げることができる。これは、該ダイオードの他方の端子に所定の直流電圧（DC 電圧）を印加しておき、光が当たった部分だけダイオードの導通性が増し、各画素の画素容量（蓄積容量）105a に電位データとして蓄えられるというものである。

【0010】

また、フォトダイオードの代わりに、光やエックス線等を直接電荷に変換する変換層を形成し、ここで発生した電荷を強電圧によって画素容量 105a に蓄積し、これを順次読み出すタイプのセンサも考えられる。これは例えば、特開平 4-212458 号公報に記述されているような形態をとるものであって、変換層において生成された電荷は画素容量 105a に蓄積され、被写体の形態に応じてそれぞれの画素に電荷としてのデータ（電位データ）が保存される。これを例えば、液晶表示装置の場合と同様に、順次走査線 102 をスキャンすることにより、走査線 102 によって選択された画素の保有するデータがアクティブ素子（TFT 104 に相当）を介してデータ線（信号線 101 に相当）に読み出される。

該データ線他端には、これらデータを信号として読み出すためのオペアンプ等の回路が設けられており、センサに映された物体が画像データとして取り出される。

【0011】

上記例示のセンサの、フォトダイオードや光電変換層を形成する前の段階であるアクティブマトリクス基板部分に関しては、上記液晶表示装置の生産プロセスをそのまま展開して、画素容量105aの大きさやアクティブ素子の時定数等をセンサ用に最適化するだけで実現することができるため、生産にあたっては新たな設備投資等を必要とせず、安価に生産することが可能である。

【0012】

【発明が解決しようとする課題】

例えば、コンピュータの表示素子（モニター）として用いられる液晶表示装置は、その取り扱える情報量として近年ますます多くを求められており、その要求を満たすために表示素子の大型化（表示部の大型化）は必須の要件となっている。また、コンピュータのモニターとしての用途のみならず、AV（Audio Visual）機器や産業機器等のモニターとしても大型液晶表示装置の需要は大きくなるばかりである。さらに、中小型の表示素子においても高精細化の需要はますます大きくなってきており、設計面でもかなりの困難が現実のものとなってきている。

【0013】

図9ないし図11に基づいて具体的に説明すると、表示素子を大型化すればする程、信号線101や走査線102が長くなるので、該配線における信号遅延は無視出来なくなり、また、中小型の表示素子においても、狭ピッチのなかで高い開口率を確保しようとするればおのずと配線幅を細くせざるを得ず、その結果、配線（信号線101 走査線102）が高抵抗となって、やはり信号遅延が発生する。

【0014】

そこで上記信号遅延を解消するためには、該配線の信号遅延性を決定する他のファクターである、配線間の静電容量を低減することが考えられる。しかしながら、信号線101と走査線102を隔てるゲート絶縁膜110は、同時にTFT

1 0 4 の特性を決定したり、画素容量 1 0 5 a を形成する役割も果たすため、該ゲート絶縁膜 1 1 0 の膜厚を薄くして単位面積当たりの静電容量を小さくする方法は安易に採用することができない。

【 0 0 1 5 】

センサ用のアクティブマトリクス基板は、液晶表示装置用のアクティブマトリクス基板よりもさらに厳しい要求水準を満たす必要がある。すなわち、上記説明の信号遅延性の問題に加えて、ノイズの問題が軽視できなくなる。図 9 ないし図 1 1 に基づき具体的に説明すると、画素からの信号読み出しの際に隣接画素（画素容量電極 1 0 5 を共有する画素）の信号に対応したノイズが画素容量電極 1 0 5 に重畳され、これが読み出し中の画素電極 1 0 3 との間の静電容量によって信号が画素間で相互に干渉しあうことで解像度が低下したり、もしくは画素容量電極 1 0 5 と信号線 1 1 との間の静電容量が、信号線 1 1 へのノイズとして現れ、さらに信号検出用のアンプによって増幅されて正しいデータが得られなくなるという問題が起こる。また一般に、信号を精度良く取り出すために、より大きな電荷データを画素電位を上げすぎることなく蓄積することが行われるが、このためには画素容量値を大きくとることが有効である。しかしながら、画素容量値を大きくとることによって画素容量共通配線 1 0 5 のインピーダンスが大きくなり、上記の問題がより顕著になるのである。

【 0 0 1 6 】

そこで、画素容量共通配線を通常のように走査線と平行して配置するのではなく、信号線と平行するように配置する構造が考えられた。例えば、SID 98 DIGEST:371-374 に開示されている X 線センサ用のアクティブマトリクス基板の構成は、図 1 4 および図 1 5 に示すように、格子状に配設された信号線 2 0 1 および走査線 2 0 2 に囲まれて画素が形成され、さらに、画素電極 2 0 3 と画素容量電極 2 0 5 とがゲート絶縁膜 2 1 0 b を介して対向した構造によりなる画素容量 2 0 5 a ・ 2 0 5 a が画素毎に形成されている。また、画素容量共通配線 2 0 5 b は、信号線 2 0 1 と平行に配設されている。

【 0 0 1 7 】

上記の構成によれば、信号線 2 0 1 と画素容量共通配線 2 0 5 b とが交差部を

持たないため、信号線 201 にかかる静電容量（負荷容量）を低減することができ、また、画素容量共通配線 205b のインピーダンスも低減することができる。その結果、信号線 201 における信号遅延性の問題を大きく改善することができると共に、表示装置においてしばしば問題となるクロストークの発生を防止することができる。より具体的には、走査線 202 により、あるライン（即ち、TFT 204 をオンする走査信号が入力された走査線 202 に平行な画素の並び）が選択されているときに、画素容量共通配線 205b に生ずるノイズは、信号線 201 と平行した方向に伝播することはあっても、同一走査線 202 上の画素方向には伝播しないため、同時に選択されている画素を通じて読み出されるデータへの悪影響は生じない。

【0018】

しかしながら、上記構成のアクティブマトリクス基板を製造するためには、図 12 (a) ~ (h) および図 13 (a) ~ (h) にて示したアクティブマトリクス基板の製造工程と比較して、画素容量共通配線 205b を形成するまでに余分な工程が必要となる。具体的には、a) ゲート絶縁膜 210b を挟んで、画素電極 203 と対向するように設けられる画素容量電極 205 としての透明電極膜の形成工程（成膜、フォトリソグラフィー、エッチング工程）、および、b) 金属配線よりなる画素容量共通配線 205b と画素容量電極 205 とのコンタクト部分を設けるための、ゲート絶縁膜 210b の成膜・フォトリソグラフィー・エッチング工程である。さらに、上記ゲート絶縁膜 210b に対するパターニングは画素毎に行われる必要があるため高いパターニング精度が要求され、高価なフォトマスクと綿密な露光条件やエッチング条件の管理とが必要となる。

【0019】

また、TFT 204 を保護するための保護膜（例えば、図 10 における、保護膜 114 に相当するもの）が形成されていないが、デバイス（X 線センサ等）の信頼性を向上させるためには、通常有機膜で構成される層間絶縁膜 215 と TFT 204 との間に無機の保護膜を配置することが望ましく、実際に、従来のデバイスに用いられるアクティブマトリクス基板では、窒化珪素などの無機膜が配置されている。したがって、ゲート絶縁膜 210b 形成完了後の工程数は、図 9 に

示す従来のものとほぼ同じであると言える。

【0020】

したがって、画素容量電極 205 となる透明電極膜の成膜・パターニング工程、および、ゲート絶縁膜 210b の成膜・パターニング（エッチング）工程の増加、並びに、ゲート絶縁膜 210b のパターニングの精度の分だけコスト高を招来することとなる。また、量産性との兼ね合いから、中小型の設計ルールが比較的簡単なアクティブマトリクス基板の製造においては、このような工程増加を伴うプロセスを用いるメリットはなく、同一の生産ラインでありながらアクティブマトリクス基板のサイズによってプロセスをかえて生産しなければならないという、ラインの生産性を低下させる新たな問題が生じる。

【0021】

本発明は、上記問題点を解決するためになされたものであって、その目的は、工程数の増加を伴うことなく、信号線における信号伝達遅延および画素間のクロストークの発生を防止することが可能なアクティブマトリクス基板、およびその製造方法を提供することにある。さらには、該アクティブマトリクス基板を用いてなるイメージセンサを提供することにある。

【0022】

【課題を解決するための手段】

本発明の請求項 1 記載のアクティブマトリクス基板は、上記の課題を解決するために、格子状に配された複数の走査線および信号線により形成される画素毎に画素電極が設けられ、上記走査線と信号線との交差部近傍に位置し、走査線、信号線および、画素電極それぞれに接続されたスイッチング素子と、上記画素電極との間に蓄積容量を形成すべく設けられた蓄積容量電極と、信号線と平行に配された蓄積容量共通配線とを備えたアクティブマトリクス基板において、上記信号線と、蓄積容量電極および蓄積容量共通配線とが、同一の電極層をパターニングすることにより形成されていることを特徴としている。

【0023】

上記の構成によれば、信号線を形成する際に、同時に蓄積容量電極と蓄積容量共通配線とを形成することができるので、工程数の増加（ひいてはアクティブマ

トリクス基板の製造コストの増加)を招来することなく、信号線と平行な蓄積容量共通配線を有するアクティブマトリクス基板を提供することができる。より具体的には例えば、従来の液晶表示装置(信号線と蓄積容量共通配線とが直交するもの)の生産ラインをプロセスの変更なく使用して、高性能な液晶表示装置またはセンサ用等アクティブマトリクス基板を製造することができるので、新たな設備投資が不要な上に、ラインの生産性を低下させる懸念もない。

【 0 0 2 4 】

また、上記構造のアクティブマトリクス基板を用いて、例えば液晶表示装置やイメージセンサ等のデバイスを構成すれば、信号線が交差する線は走査線のみとすることができ(すなわち、蓄積容量共通配線と信号線とが交差しないので)、ノイズや信号伝達の遅延などを有効に防止することができる。さらに、1本の蓄積容量共通配線を共有する複数画素にわたってスイッチング素子が同時にオンする瞬間がないため、クロストーク等を防ぐことができる。

【 0 0 2 5 】

すなわち、工程数の増加を伴うことなく、信号線における信号伝達遅延および画素間のクロストークの発生を防止することが可能なアクティブマトリクス基板を提供することができる。

【 0 0 2 6 】

本発明の請求項2記載のアクティブマトリクス基板は、上記の課題を解決するために、請求項1記載の構成において、上記蓄積容量共通配線および蓄積容量電極が透明電極膜であることを特徴としている。

【 0 0 2 7 】

上記の構成によれば、例えばアクティブマトリクス基板を液晶表示装置用に使
用した場合では、画素の開口率を低下させることがない。また、該アクティブマ
トリクス基板をイメージセンサ用に使
用した場合には、該イメージセンサの透明
基板と変換層との間の遮光エリアを少なくすることができるので、イメージセン
サ全体に光を照射する方法による変換層のリフレッシュを効率的におこなうこと
ができる。

【0028】

本発明の請求項3記載のアクティブマトリクス基板は、上記の課題を解決するために、請求項1または2に記載の構成において、上記スイッチング素子の上層を覆う絶縁膜を介して、上記画素電極と蓄積容量電極とが対向配置されていることを特徴としている。

【0029】

上記の構成によれば、画素電極、スイッチング素子の上層を覆う絶縁膜、および、蓄積容量電極とによって蓄積容量が形成される。すなわち、特別な工程（例えば、画素電極と蓄積容量電極との間に別に誘電層を形成する工程）を追加することなく、容易に蓄積容量を形成することができ、アクティブマトリクス基板の生産性を向上させることができる。

【0030】

本発明の請求項4記載のアクティブマトリクス基板は、上記の課題を解決するために、請求項3記載の構成において、上記画素電極と絶縁膜との間に層間絶縁膜を有し、該層間絶縁膜に設けられたコンタクトホールを介して上記画素電極と蓄積容量電極とが対向配置されていることを特徴としている。

【0031】

上記の構成によれば、画素電極と電極線（走査線、信号線、接続電極等の、画素電極より下層に配される電極配線を指す）との間にさらに層間絶縁膜が追加されることにより互いの影響を低減することができる。また、蓄積容量の大きさは、層間絶縁膜に設けられるコンタクトホールの大きさにより制御されるので、パターンニング容易な層間絶縁膜を用いることにより、蓄積容量値の制御を容易、かつ精確に行うことができる。

【0032】

本発明の請求項5記載のアクティブマトリクス基板の製造方法は、上記の課題を解決するために、請求項1ないし4のいずれか一項に記載のアクティブマトリクス基板の製造方法であって、上記信号線と、蓄積容量電極および蓄積容量共通配線とを、同一の電極層をパターンニングすることにより形成する工程を含むことを特徴としている。

【0033】

上記の方法によれば、信号線を形成する際に、同時に蓄積容量電極と蓄積容量共通配線とを形成することができるので、工程数の増加を招来することなく、信号線と平行な蓄積容量共通配線を有するアクティブマトリクス基板を提供することができる。より具体的には例えば、従来の液晶表示装置（信号線と蓄積容量共通配線とが直交するもの）の生産ラインをプロセスの変更なく使用して、高性能な液晶表示装置またはセンサ用等アクティブマトリクス基板を製造することができるので、新たな設備投資が不要な上に、ラインの生産性を低下させる懸念をなくすることができる。

【0034】

本発明の請求項6記載のイメージセンサは、上記の課題を解決するために、請求項1ないし4のいずれか一項に記載のアクティブマトリクス基板と、入射した電磁放射線を電荷に変換する変換部と、該電荷を蓄積した蓄積容量を形成するためのバイアス電圧印加手段とを有することを特徴としている。

【0035】

上記の構成によれば、イメージセンサに入射した電磁放射線は、変換部において電荷に変換され、続いて該電荷が静電容量（蓄積容量）として蓄積される。一般にイメージセンサは、蓄積容量やノイズに対する要求水準が高いが、上記のアクティブマトリクス基板を備えたイメージセンサにおいては、静電容量として蓄積された信号の読み出し特性に影響を与えない程度にこれらを抑えることができる。また、イメージセンサのアクティブマトリクス基板を製造する際には、新たな工程を追加する必要がなく、また、従来の液晶表示装置（信号線と蓄積容量共通配線とが直交するもの）の生産ラインをプロセスの変更なく使用することができる。したがって、新たな設備投資、ラインの生産性の低下を招来することなく、該イメージセンサを提供することができる。

【0036】

また、蓄積容量共通配線および蓄積容量電極を透明電極膜で構成したアクティブマトリクス基板を使用すれば、該イメージセンサの透明基板と変換層との間の遮光エリアを少なくすることができるので、イメージセンサ全体に光を照射する

方法による変換層のリフレッシュを効率的におこなうことができる。

【0037】

さらに、スイッチング素子の上層を覆う絶縁膜を介して、画素電極と蓄積容量電極とが対向配置されている構成を有するアクティブマトリクス基板を使用すれば、新たな工程を追加することなくイメージセンサを製造することができ、該構成を前提に、上記画素電極と絶縁膜との間に層間絶縁膜を有し、該層間絶縁膜に設けられたコンタクトホールにおいて上記画素電極と蓄積容量電極とが対向配置されている構成のアクティブマトリクス基板を使用すれば、画素電極と電極線（走査線、信号線、接続電極等の、画素電極より下層に配される電極配線を指す）間の影響が低減され、また、蓄積容量値が精確に制御されてなるイメージセンサを提供することができる。

【0038】

【発明の実施の形態】

【実施の形態 1】

本発明の実施の一形態について、図 1 ないし図 3 にもとづいて説明する。尚、本実施の形態にかかるアクティブマトリクス基板は、図 1 2 (a) ~ (h) および図 1 3 (a) ~ (h) に示すアクティブマトリクス基板の製造プロセスを流用できることを特徴のひとつとしており、同図を適宜参照しながら特に異なる点につき説明を行うものとする。また、本実施の形態にかかるアクティブマトリクス基板をなす各層の材料や加工方法等は、従来公知のものを流用することができるため、これらに関する詳細な説明は省略する。

【0039】

図 1 および図 2 に示すように、本実施の形態にかかるアクティブマトリクス基板は、格子状に配設された信号線 1 1 ・ 1 1 および走査線 1 2 ・ 1 2 に囲まれて各画素が形成され、また、該信号線 1 1 および走査線 1 2 の交差部の近傍にはスイッチング素子としての T D T 1 3 が形成されている。

【0040】

信号線 1 1 ・ 1 1 と平行に配された画素容量配線（蓄積容量共通配線） 1 4 は、該信号線 1 1 の伸長方向に並ぶ各画素に形成された複数の画素容量（蓄積容量

) 14a を接続する画素容量共通配線であり、例えば、液晶表示装置に用いられる場合には、対向基板の共通電極（図示せず）に接続される。また、画素容量配線 14 はコンタクトホール 15 において、保護膜（絶縁膜）27 を介して画素電極 16 と対向し、上記の画素容量 14a を形成する。すなわち、画素容量配線 14 は、上記共通配線としてのみならず、画素容量 14a を構成する電極の一方（画素容量電極）としても機能している。

【0041】

さらに、以下の製造工程の記載においても触れるように、金属配線 26c および透明電極 25c よりなる画素容量配線 14 は、該信号線 11 をなす金属配線 26a および透明電極 25a の形成時に、同時にパターニング形成される。すなわち、画素容量配線 14 をなす金属配線 26c と信号線 11 をなす金属配線 26a とは同一の層に由来し、また、画素容量配線 14 をなす透明電極 25c と信号線 11 をなす透明電極 25a とは同一の層に由来している。

【0042】

次に、図 3 (a) ~ (h) に基づいて、本実施の形態にかかるアクティブマトリクス基板の製造工程について具体的に説明する。

図 3 (a) に示すように、ガラス等の絶縁性の透明基板 20 上に、金属膜を成膜した後、フォトリソグラフィ、およびドライエッチングもしくはウェットエッチングにより、TFT 13 のゲート電極 21 および走査線 12（図 1 参照）を形成する。ここで、従来のアクティブマトリクス基板（以下、従来品と称する）では、金属膜より画素容量配線 105 も同時に形成しているが（図 12 (a) および図 13 (a) 参照）、本実施の形態では、これをこの段階で形成しない。

【0043】

次に、ゲート絶縁膜 22、半導体層 23、および、 n^+ -Si 層 24 を連続して積層した後に、図 3 (b) に示すようにパターニングする。尚、 n^+ -Si 層 24 は、後に TFT 13 のソース電極 24a およびドレイン電極 24b となる。これらの層の積層・パターニングの方法、並びに、形成パターンは従来品と同様にすれば良い。

【0044】

具体的には、積層された膜（層）の内、半導体層 23 および n^+ -Si 層 24 に関しては、半導体層 23 の残すべき形状に応じて同時にパターニングすれば良く、TFT 13 のチャネル部となる部分の n^+ -Si 層 24 のギャップはまだ形成しない。続いて、ゲート絶縁膜 22 のパターニングが行われるが、該パターニングは、端子近傍の走査線 12（図 1 参照）と外部とのコンタクト部分を設けるためや、画素容量配線 14（図 1 および図 2 参照）への信号供給に必要なコンタクト部分（例えば、対向基板の共通電極とのコンタクト部分）を設けるための工程であって、図 3 には図示しない。

【0045】

次に、透明電極層（電極層）25 および金属層（電極層に相当、パターニング後の形状のみ図示）を連続して積層した後、まず金属層をパターニングする。そして、図 3（c）に示すように、該金属層のパターニングにより金属配線 26a・26b・26c が形成される。続いて、透明電極層 25 のパターニングが行われ、図 3（d）に示すように、透明電極 25a・25b・25c が形成される。透明電極 25a および金属配線 26a は信号線 11 に相当し、透明電極 25b および金属配線 26b は、後述するコンタクトホール 18 を介して TFT 13 と画素電極 16 とを接続する接続電極に相当し、また、透明電極 25c および金属配線 26c は画素容量配線 14 に相当する。

【0046】

尚、上記の配線やパターンを二層の積層構造としているのは、積層時のダスト等による断線に対する冗長としての効果や、上層の金属層をパターニングする際の透明電極層 25 へのダメージ防止等を目的としたものであり、場合によっては単層構造で形成することもできる。単層構造とする場合には、その構成材料は特に限定されない。また、場合によっては、透明電極層 25 を上層に、金属層を下層にして形成してもよい。本実施の形態では、画素容量配線 14 が 2 層構造となっていることで、透明電極膜単層で形成されている場合と比較して、該配線の抵抗値を低く抑えることもできる。

【0047】

また、TFT13と画素電極16との接続のためのコンタクト部が、透明電極25bにより形成されているのは、コンタクトホール18を形成する工程（後述する）における膜のダメージが金属層より透明電極層の方が少なく、より良好なコンタクト特性がとれるためである。

【0048】

続いて、図3（e）に示すように、後にTFT13となるトランジスタ部において、金属配線26a・26bおよび透明電極25a・25bをマスクとして n^+ -Si層24のエッチングを行い、TFT13のチャネルを形成する。次に、図3（f）に示すように、むき出しになった半導体層23を保護するための保護膜27を積層し、画素電極16とのコンタクト部における保護膜27をエッチングによって除去する。

【0049】

さらに、図3（g）に示すように、層間絶縁膜28を成膜し、コンタクト部（コンタクトホール15・18に相当）における層間絶縁膜28のパターニングを行う。尚、従来品の製造工程では、図12（g）に示すように、層間絶縁膜115に設けられるコンタクト部は、TFT104と画素電極103との接続のためのコンタクトホール116を設けるのみであったが、本実施の形態においては、後述する画素容量14a形成部位となるコンタクトホール15も同時に設けている。

【0050】

続いて、図3（h）に示すように、層間絶縁膜28の上層に画素電極16となる透明電極層を形成し、パターニングすることにより本実施の形態にかかるアクティブマトリクス基板が製造される。画素電極16は、保護膜27および層間絶縁膜28を貫くコンタクトホール18を介してTFT13のドレイン電極24と接続される。

【0051】

また、層間絶縁膜28に設けられたコンタクトホール15においては、画素容量配線14と画素電極16とが保護膜27をはさんで対向配置されており、画素

容量配線 1 4 を成す金属配線 2 6 c、画素電極 1 6、および、保護膜 2 7 によって蓄積容量が形成され、これが各画素の画素容量 1 4 a となる。

【 0 0 5 2 】

画素容量の大きさは、層間絶縁膜 2 8 に設けられたコンタクトホール 1 5 の大きさ（すなわち、画素容量 1 4 a において、保護膜 2 7 に接触する画素電極 1 6 の面積）によって決定される。上記層間絶縁膜 2 8 のパターンニング方法は該絶縁膜 2 8 の材質等によって異なるが、一般には、a) ポリイミド系の樹脂よりなる場合には、エッチングによって、また、b) アクリル系樹脂よりなる場合には、フォトリソプロセスによって行われるが、いずれの方法によってもパターン精度は充分高く、画素容量値の制御を容易、かつ精確に行うことができる。

【 0 0 5 3 】

上記構造のアクティブマトリクス基板では、信号線 1 1・走査線 1 2 と画素電極 1 6 との間には、層間絶縁膜 2 8 が形成されているため、信号線 1 1・走査線 1 2 に対して画素電極 1 6 をオーバーラップさせることが可能となり、開口率の向上、信号線 1 1 に起因する電界をシールドすることによる液晶の配向不良の抑制等の効果がある。

また、保護膜 2 7 は、ゲート絶縁膜 2 2 と膜厚・材質とも略同じであってよく、画素容量 1 4 a を形成する上で、保護膜 2 7 の形成工程に特に変更を有することはない。

【 0 0 5 4 】

ところで、従来は電極線（信号線、走査線、画素容量配線等）の上層に、保護膜のみを介して導電膜（具体的には画素電極を指す）を形成することはなかったため、各電極線のエッジ部分での保護膜のクラックについては注意されていなかった。そのため電極線はタクト時間重視でテーパが急峻であることが多く、上層の導電膜が電極線のエッジにかかる断面構成とすると、リーク不良が発生する可能性が高い。ところが、本実施の形態では、図 2 に示すように、画素電極 1 6 が保護膜 2 7 を挟んで電極線と接するのは、コンタクトホール 1 5 の部分だけであるため、エッジ部のクラックにおけるリーク欠陥の心配がない。また、コンタクトホール 1 5 のテーパ部では液晶層の層厚が変わるため、液晶分子の配向乱れが

生じやすいが、これによる光漏れは、下層に配された画素容量配線 1 4（正確には、金属配線 2 6 c）により遮光されるため、表示上不具合は生じない。

【0 0 5 5】

上記説明のように、従来品の製造工程と全く同じプロセスで、単にパターンを一部変更するだけで、信号線 1 1 と平行な画素容量配線 1 4 を有するアクティブマトリクス基板を実現できる。すなわち、工程数の増加（ひいてはアクティブマトリクス基板の製造コストの増加）を招来することなく、ノイズや信号遅延性の発生を防止することが可能なアクティブマトリクス基板を提供することができる。また、従来の液晶表示装置の生産ラインをプロセスの変更なく使用して、高性能な液晶表示装置またはセンサ用アクティブマトリクス基板を製造することができるので、新たな設備投資が不要な上に、ラインの生産性を低下させる懸念もない。

【0 0 5 6】

上記構造のアクティブマトリクス基板においては、上述したように、画素容量配線 1 4 が交差する線は走査線 1 2 のみであることから画素容量配線 1 4 の時定数が極めて小さくなり、ノイズや信号伝達の遅延などがほとんど問題にならない。さらに、信号線 1 1 に加える信号の振幅を小さく抑える目的で、図示しない対向電極および画素容量配線 1 4 に、信号線 1 1 に加えられる信号と逆位相の一定振幅を有する信号を供給することがあるが、この場合、走査線 1 2 のオフ電位にもこれと同振幅・同位相の信号を重畳させる、いわゆるフローティングゲート駆動を行うので、画素容量配線 1 4 と走査線 1 2 の電圧差は常に一定である。すなわち、画素容量配線 1 4 側からみれば、時定数を増加させる容量成分は、浮遊容量を除いてはなく、実際の信号伝達の遅延はほとんどゼロであるといえる。また、前述のように、1 本の画素容量配線 1 4 を共有する複数画素にわたって複数の TFT 1 3（一つのみ図示）が、同時にオンする瞬間がないため、クロストークなどの懸念がない。

【0 0 5 7】

一方、図 1 4 および図 1 5 にて示した従来のアクティブマトリクス基板においては、画素容量配線 2 0 5 が信号線 2 0 1 と平行に配置されてはいるが、画素容

量配線 205b の形成のために、余分な工程が必要となる。具体的には、a) 画素容量電極 205 としての透明電極膜の形成工程、および、b) 画素容量配線 205b と画素容量電極 205 とのコンタクト部分を設けるための、ゲート絶縁膜 210b の成膜・フォトリソグラフィ・エッチング工程である。さらに、ゲート絶縁膜 210b に対するパターニングには高いパターニング精度が要求され、高価なフォトマスクと綿密な露光条件やエッチング条件の管理とが必要となる。したがって、コスト高を招来することとなる。

【0058】

尚、本実施の形態では、画素電極 16 は透明電極層より形成されているが、特にこれに限定されるものではなく、例えば、反射型の液晶表示装置の構成基板として使用される場合には、画素電極を金属膜で形成してもよい。

【0059】

また、開口率や画素電極 16 の占める面積に対する要求が小さい場合には、画素電極の外周をさらに小さくして信号線 11・走査線 12 と画素電極 16 との重なりを無くすようにすると、信号線 11 と画素電極 16 との間、および、走査線 12 と画素電極 16 との間に発生する寄生容量の問題は解決される。

【0060】

さらに、上記寄生容量が問題とならない場合は、層間絶縁膜 28 を形成する必要はなく、該層間絶縁膜 28 の成膜・パターニングにかかる工程を削減することができる。

【0061】

〔実施の形態 2〕

本発明の他の実施の形態について、図 4 に基づいて説明すれば、以下の通りである。尚、説明の便宜上、上記実施の形態 1 にて示した各部材と同一の機能を有する部材には、同一の符号を付記し、その説明を省略する。

【0062】

本実施の形態にかかるアクティブマトリクス基板と、上記実施の形態 1 にかかるアクティブマトリクス基板との相違点は画素容量配線の構成にある。具体的には、図 4 に示すように本実施の形態においては、蓄積容量電極を兼ねる画素容量

配線（蓄積容量共通配線）が透明電極（透明電極膜）25c 単層により構成されている。つまり、本実施の形態の画素容量配線は、該信号線 11 をなす透明電極 25a の形成時に、同時にパターニング形成される。本構成によれば、画素容量配線が透明電極 25c 単層により構成されているために、上記実施の形態 1 の構成と比較して画素の開口率をさらに向上させることができる。尚、図 4 は、上記実施の形態 1 を表す図 1 の A-A' における断面図に対応するものである。

【0063】

本実施の形態にかかるアクティブマトリクス基板の製造工程は、上記実施の形態 1 にて示した製造工程（図 3（a）～図 3（h）参照）において、透明電極層（電極層）25 上に積層された金属層を、金属配線 26c をさらに取り除くようにパターニングすれば良いだけであるので、工程数の増加を招来することがない。

【0064】

また、画素容量配線が画素の開口率の妨げとならないので、必要に応じて画素容量値（言い換えれば、保護膜（絶縁膜）27 を介して画素電極 16 と対向する透明電極 25c の面積）を大きくすることができ、例えば、信号線 11 と画素電極 16 との間の寄生容量に起因するクロストークなどが発生するおそれがある場合でも、対策を容易に講ずることができる。

【0065】

また最近では、コスト削減等の理由で、信号線 11 自体を透明電極 25a のみの単層構造とする場合もあるが、この場合でも、画素容量配線を透明電極 25c で形成することができることに変わりはなく、同様に適用できる。

【0066】

尚、画素容量配線を透明電極 25c で構成すると金属配線と比較して抵抗値が大きくなる場合があるが、必要に応じて画素容量電極（蓄積容量電極）としての機能も有する透明電極 25c の画素容量値を調整すれば不具合は生じない。

【0067】

〔実施の形態 3〕

本発明のさらに他の実施の形態について、主に図 5 および図 6 に基づいて説明

すれば、以下の通りである。尚、説明の便宜上、上記実施の形態にて示した各部材と同一の機能を有する部材には、同一の符号を付記し、その説明を省略する。

【 0 0 6 8 】

本実施の形態にかかるフラットパネル型 X 線センサ（以下、単に X 線センサと称する）のアクティブマトリクス基板は、図 5 および図 6 に示すように、格子状に配設された信号線 1 1 ・ 1 1 および走査線 1 2 ・ 1 2 に囲まれて各画素が形成され、また、該信号線 1 1 および走査線 1 2 の交差部の近傍にはスイッチング素子としての T F T 1 3 が形成されている。また、各画素には、画素容量配線（蓄積容量共通配線）としての透明電極（透明電極膜） 2 5 d、画素電極 1 6 および、層間絶縁膜 2 8 を貫くコンタクトホール 1 5 a が形成されている。コンタクトホール 1 5 a においては、透明電極 2 5 d と画素電極 1 6 とが保護膜（絶縁膜） 2 7 を介して対向配置されて画素容量（蓄積容量） 3 0 a が形成されている。すなわち透明電極 2 5 d は、上記実施の形態と同様、画素容量配線および画素容量電極（蓄積容量電極）として機能している。

また、透明電極 2 5 d は、上記実施の形態 2 と同様、図 3（c）に示した透明電極層（電極層） 2 5 をパターニングすることにより信号線 1 1 の下層をなす透明電極 2 5 a と同時に形成されている。

【 0 0 6 9 】

尚、図 5 の C - C' における断面構造は、図 1 の A - A' における断面構造と同一であるため図示しない。また、上記アクティブマトリクス基板の積層構造（各層の積層の順番）は、上記実施の形態 1 および 2 と同一であり、一部の層のパターニング形状を変更するだけであるため、製造工程に関する説明は省略する。

【 0 0 7 0 】

上記の X 線センサは、上記アクティブマトリクス基板上に、さらに変換層（変換部） 3 1 および共通電極層（バイアス電圧印加手段） 3 2 が順次積層されることにより構成されている（図 6 参照）。変換層 3 1 は、例えば X 線等のエネルギーを受けることにより電子 - 正孔対が発生するものであれば、特に限定されるものではなく、具体的には例えば、a - S e や、C d ・ T a 等、半導体が適当な層厚に積層されたものを挙げることができる。また場合によっては、画素間の漏れ

電流の抑制策等を講じるために、これらを p i n 接合やショットキー接合を構成すべく適当な薄膜の積層体として構成しても良い。

【 0 0 7 1 】

次に、上記の X 線センサの動作を簡単に説明する。X 線センサの上方（すなわち、共通電極層 3 2 側）から X 線が入射されると、該 X 線のエネルギーによって変換層 3 1 において電子-正孔対が発生する。共通電極層 3 2 には、ある一定のバイアス電圧が加えられており、また、透明電極 2 5 d は一定電位に固定されているため、上記の電子-正孔対は、それぞれバイアスに引っ張られるように移動し、画素容量 3 0 a に電荷が蓄積される。そして、画素容量 3 0 a に蓄積された電荷は、走査線 1 2 により選択された T F T 1 3 を介して信号線 1 1 より読み出される。

【 0 0 7 2 】

X 線から変換された電荷を効率よく集め、また、画素電位が以上に上昇して T F T 1 3 から該電荷が漏れたり、T F T 1 3 自体を破壊することを防止するために、本実施の形態のアクティブマトリクス基板では画素容量値（より具体的には、透明電極 2 5 d と画素電極 1 6 との対向面積）を非常に大きくしている。

【 0 0 7 3 】

ところで、X 線センサにおいては、透過型液晶表示装置の場合程には開口率を大きくすることが求められない場合が多いため、画素容量配線および画素容量電極を構成する材料は特に限定されず、場合によっては金属配線とすることも出来る。

【 0 0 7 4 】

しかしながら、変換層 3 1 の性質によっては、画素容量 3 0 a に蓄積された電荷を読み出した後にも微小電荷が変換層 3 1 に残留して、信号の精度が低下したり、分極が発生して変換層 3 1 そのものの信頼性が低下する場合があります。これを防止するためには、例えば一定の周期（例えば、読み出しフレーム間毎）で、X 線センサ全体に光を照射して変換層 3 1 をリフレッシュする（電荷をディスチャージする）方法が採用される。この場合、X 線の照射方向とは反対側から光を照射することが望ましいので、透明基板 2 0 と変換層 3 1 との間に遮光エリアが少

ない方がよい。本実施の形態では、画素容量配線（画素容量電極も兼ねる）が透明電極 25 d で形成されているため透明基板 20 と変換層 31 との間の遮光エリアを極めて小さくすることが出来る。

【0075】

〔実施の形態 4〕

本発明のさらに他の実施の形態について、主に図 7 および図 8 に基づいて説明すれば、以下の通りである。尚、説明の便宜上、上記実施の形態にて示した各部材と同一の機能を有する部材には、同一の符号を付記し、その説明を省略する。

【0076】

本実施の形態にかかる X 線センサと、上記実施の形態 3 にかかる X 線センサとの主要な相違点は、画素容量配線および画素容量の構成にある。具体的には、透明電極（透明電極膜）25 d 上に金属配線 26 d が形成され、該透明電極 25 d が画素容量電極（蓄積容量電極）として、また、該金属配線 26 d が画素容量配線（蓄積容量共通配線）として機能している。これらの画素容量配線および画素容量電極は、信号線 11 と同一の層より構成されている。具体的には、信号線 11 の上層をなす金属配線 26 a と画素容量配線として機能する金属配線 26 d とが同一の金属層をパターンニングすることにより形成されており、また、信号線 11 の上層をなす透明電極 25 a と画素容量電極として機能する透明電極 25 d とが同一の透明電極層（電極層）25（図 3（c）参照）をパターンニングすることにより形成されている。

【0077】

また、上記実施の形態 1 でも述べたように、上層の画素電極 16 が電極線のエッジにかかる断面構成とすると、リーク（ショート）不良が発生する可能性が高いため、層間絶縁膜 28 における、画素容量（蓄積容量）30 b・30 b を形成するためのコンタクトホール 15 b・15 b は、金属配線 26 d を避けるように 2 分割されて配置されている。そして、画素容量 30 b・30 b は、画素電極 16、保護膜（絶縁膜）27 および、透明電極 25 d によって平坦に構成されている。

【0078】

尚、図7のE-E'における断面構造は、図1のA-A'における断面構造と同一であるため図示しない。また、上記アクティブマトリクス基板の積層構造は、上記実施の形態1および2と同一であり、一部の層のパターニング形状を変更するだけであるため、製造工程に関する説明は省略する。

【0079】

本実施の形態にかかるX線センサによれば、画素容量配線が金属配線26dであるため、画素容量配線を透明電極で形成する場合と比較して、その抵抗値を十分に小さくすることができる。また、画素容量電極が透明電極25dで形成されているために、X線の照射方向とは反対側から光を照射して変換層31を容易にリフレッシュすることができる。

【0080】

また、上記実施の形態3および4にかかるX線センサに用いられるアクティブマトリクス基板はいずれも、通常の液晶表示装置の生産プロセスをそのまま展開して、画素容量の大きさや、アクティブ素子（スイッチング素子）の時定数等をセンサ用に最適化するだけで、容易に実現することができるため、生産にあたっては、新たな設備投資等を必要とせず、安価に生産することが可能である。

【0081】

また、信号線11と画素容量配線とが交差部を持たないため、該信号線11の負荷容量が激減し、ノイズや、信号の伝達遅延の発生を大幅に抑制することができるのみならず、画素容量配線のインピーダンスも低減することができる。さらに、走査線12があるラインを選択している時に画素容量配線に生じるノイズは、信号線11の方向に伝播することはあっても走査線12の方向に伝播することがないため、同時に選択されている画素を通じて読み出されるデータへの干渉は生じない。

【0082】

尚、X線センサの構造は上記例示のものに限られるものではなく、例えば、X線を一旦可視光に変換して、これをフォトダイオードで読み出す方法を利用するものであってもよい。この場合例えば、A)一旦画素容量に蓄積された電荷を走

査線からの信号に応じて放電し、初期の電荷量との差を読み出す、B) フォトダイオードを流れた電流が画素容量に蓄積されて、これを読み出す、等の幾つかの方法があり、いずれもX線のエネルギーを直接的に電荷へ変換する方法とはアクティブマトリクス基板上の積層構造は異なるが、画素電極より下層の構造は同一であるため共通のアクティブマトリクス基板を使用することができる。

【0083】

また、上記変換層31として、放射線電荷変換膜のかわりに光導電膜を使用すれば、X線等のイメージセンサとしてではなく、可視光、赤外光等の電磁放射線対応イメージセンサとして使用できる。

【0084】

【発明の効果】

本発明の請求項1記載のアクティブマトリクス基板は、以上のように、格子状に配された複数の走査線および信号線により形成される画素毎に画素電極が設けられ、上記走査線と信号線との交差点近傍に位置し、走査線、信号線および、画素電極それぞれに接続されたスイッチング素子と、上記画素電極との間に蓄積容量を形成すべく設けられた蓄積容量電極と、信号線と平行に配された蓄積容量共通配線とを備えたアクティブマトリクス基板において、上記信号線と、蓄積容量電極および蓄積容量共通配線とが、同一の電極層をパターンニングすることにより形成されている構成である。

【0085】

上記の構成によれば、信号線を形成する際に、同時に蓄積容量電極と蓄積容量共通配線とを形成することができるので、工程数の増加を招来することなく、信号線と平行な蓄積容量共通配線を有するアクティブマトリクス基板を提供することができる。より具体的には例えば、従来の液晶表示装置（信号線と蓄積容量共通配線とが直交するもの）の生産ラインをプロセスの変更なく使用して高性能な液晶表示装置またはセンサ用等アクティブマトリクス基板を製造することができるので、新たな設備投資が不要な上に、ラインの生産性を低下させる懸念もない。

【0086】

また、上記構造のアクティブマトリクス基板を用いて、例えば液晶表示装置やイメージセンサ等のデバイスを構成すれば、信号線が交差する線は走査線のみとすることができ、ノイズや信号伝達の遅延などを有効に防止することができる。さらに、1本の蓄積容量共通配線を共有する複数画素にわたってスイッチング素子が同時にオンする瞬間がないため、クロストーク等を防ぐことができる。

【0087】

すなわち、工程数の増加を伴うことなく、信号線における信号伝達遅延および画素間のクロストークの発生を防止することが可能なアクティブマトリクス基板を提供することができるという効果を奏する。

【0088】

本発明の請求項2記載のアクティブマトリクス基板は、以上のように、請求項1記載の構成において、上記蓄積容量共通配線および蓄積容量電極が透明電極膜である構成である。

【0089】

上記の構成によれば、例えばアクティブマトリクス基板を液晶表示装置用に使用した場合では、画素の開口率を低下させることがない。また、該アクティブマトリクス基板をイメージセンサ用に使用した場合には、該イメージセンサの透明基板と変換層との間の遮光エリアを少なくすることができるので、イメージセンサ全体に光を照射する方法による変換層のリフレッシュを効率的におこなうことができるという効果を、請求項1記載の構成による効果に加えて奏する。

【0090】

本発明の請求項3記載のアクティブマトリクス基板は、以上のように、請求項1または2に記載の構成において、上記スイッチング素子の上面を覆う絶縁膜を介して、上記画素電極と蓄積容量電極とが対向配置されている構成である。

【0091】

上記の構成によれば、画素電極、スイッチング素子の上面を覆う絶縁膜、および、蓄積容量電極とによって蓄積容量が形成される。すなわち、特別な工程（例えば、画素電極と蓄積容量電極との間に別に誘電層を形成する工程）を追加する

ことなく、容易に蓄積容量を形成することができ、アクティブマトリクス基板の生産性を向上させることができるという効果を、請求項1または2に記載の構成による効果に加えて奏する。

【0092】

本発明の請求項4記載のアクティブマトリクス基板は、以上のように、請求項3記載の構成において、上記画素電極と絶縁膜との間に層間絶縁膜を有し、該層間絶縁膜に設けられたコンタクトホールを介して上記画素電極と蓄積容量電極とが対向配置されている構成である。

【0093】

上記の構成によれば、画素電極と電極線（走査線、信号線、接続電極等の、画素電極より下層に配される電極配線を指す）との間にさらに層間絶縁膜が追加されることにより互いの影響を低減することができる。また、蓄積容量の大きさは、層間絶縁膜に設けられるコンタクトホールの大きさにより制御されるので、パターンニング容易な層間絶縁膜を用いることにより、蓄積容量値の制御を容易、かつ精確に行うことができるという効果を、請求項3記載の構成による効果に加えて奏する。

【0094】

本発明の請求項5記載のアクティブマトリクス基板の製造方法は、以上のように、請求項1ないし4のいずれか一項に記載のアクティブマトリクス基板の製造方法であって、上記信号線と、蓄積容量電極および蓄積容量共通配線とを、同一の電極層をパターンニングすることにより形成する工程を含む方法である。

【0095】

上記の方法によれば、信号線を形成する際に、同時に蓄積容量電極と蓄積容量共通配線とを形成することができるので、工程数の増加を招来することなく、信号線と平行な蓄積容量共通配線を有するアクティブマトリクス基板を提供することができる。より具体的には例えば、従来の液晶表示装置（信号線と蓄積容量共通配線とが直交するもの）の生産ラインをプロセスの変更なく使用して、高性能な液晶表示装置またはセンサ用等アクティブマトリクス基板を製造することができるので、新たな設備投資が不要な上に、ラインの生産性を低下させる懸念をな

くすることができるという効果を奏する。

【0096】

本発明の請求項6記載のイメージセンサは、以上のように、請求項1ないし4のいずれか一項に記載のアクティブマトリクス基板と、入射した電磁放射線を電荷に変換する変換部と、該電荷を蓄積した蓄積容量を形成するためのバイアス電圧印加手段とを有する構成である。

【0097】

上記の構成によれば、イメージセンサに入射した電磁放射線は、変換部において電荷に変換され、続いて該電荷が静電容量（蓄積容量）として蓄積される。一般にイメージセンサは、蓄積容量やノイズに対する要求水準が高いが、上記のアクティブマトリクス基板を備えたイメージセンサにおいては、静電容量として蓄積された信号の読み出し特性に影響を与えない程度にこれらを抑えることができる。また、イメージセンサのアクティブマトリクス基板を製造する際には、新たな工程を追加する必要がなく、また、従来の液晶表示装置（信号線と蓄積容量共通配線とが直交するもの）の生産ラインをプロセスの変更なく使用することができる。したがって、新たな設備投資、ラインの生産性の低下を招来することなく該イメージセンサを提供することができる。

【0098】

また、蓄積容量共通配線および蓄積容量電極を透明電極膜で構成したアクティブマトリクス基板を使用すれば、該イメージセンサの透明基板と変換層との間の遮光エリアを少なくすることができるので、イメージセンサ全体に光を照射する方法による変換層のリフレッシュを効率的におこなうことができる。

【0099】

さらに、スイッチング素子の上層を覆う絶縁膜を介して、画素電極と蓄積容量電極とが対向配置されている構成を有するアクティブマトリクス基板を使用すれば、新たな工程を追加することなくイメージセンサを製造することができ、該構成を前提に、上記画素電極と絶縁膜との間に層間絶縁膜を有し、該層間絶縁膜に設けられたコンタクトホールにおいて上記画素電極と蓄積容量電極とが対向配置されている構成のアクティブマトリクス基板を使用すれば、画素電極と電極線間

の影響が低減され、また、蓄積容量値が精確に制御されてなるイメージセンサを提供することができるという効果を奏する。

【図面の簡単な説明】

【図 1】

本発明の実施の形態にかかるアクティブマトリクス基板の構成を示す概略の平面図である。

【図 2】

図 1 に示すアクティブマトリクス基板の A - A' 線矢視断面図である。

【図 3】

(a) ~ (h) は、図 1 に示すアクティブマトリクス基板の製造工程を示す、A - A' 線矢視断面図である。

【図 4】

本発明の他の実施の形態にかかるアクティブマトリクス基板の断面図である。

【図 5】

本発明のさらに他の実施の形態にかかる X 線センサの要部をなすアクティブマトリクス基板の概略の平面図である。

【図 6】

図 5 に示す X 線センサの B - B' 線矢視断面図である。

【図 7】

本発明のさらに他の実施の形態にかかる X 線センサの要部をなすアクティブマトリクス基板の概略の平面図である。

【図 8】

図 7 に示す X 線センサの D - D' 線矢視断面図である。

【図 9】

従来のアクティブマトリクス基板の構成を示す概略の平面図である

【図 10】

図 9 に示すアクティブマトリクス基板の F - F' 線矢視断面図である。

【図 11】

図 9 に示すアクティブマトリクス基板の G - G' 線矢視断面図である。

【図 1 2】

(a) ~ (h) は、図 9 に示すアクティブマトリクス基板の製造工程を示す、F - F' 線矢視断面図である。

【図 1 3】

(a) ~ (h) は、図 9 に示すアクティブマトリクス基板の製造工程を示す、G - G' 線矢視断面図である。

【図 1 4】

従来の X 線センサに用いられるアクティブマトリクス基板の構成を示す概略の平面図である。

【図 1 5】

図 1 4 に示すアクティブマトリクス基板の H - H' 線矢視断面図である。

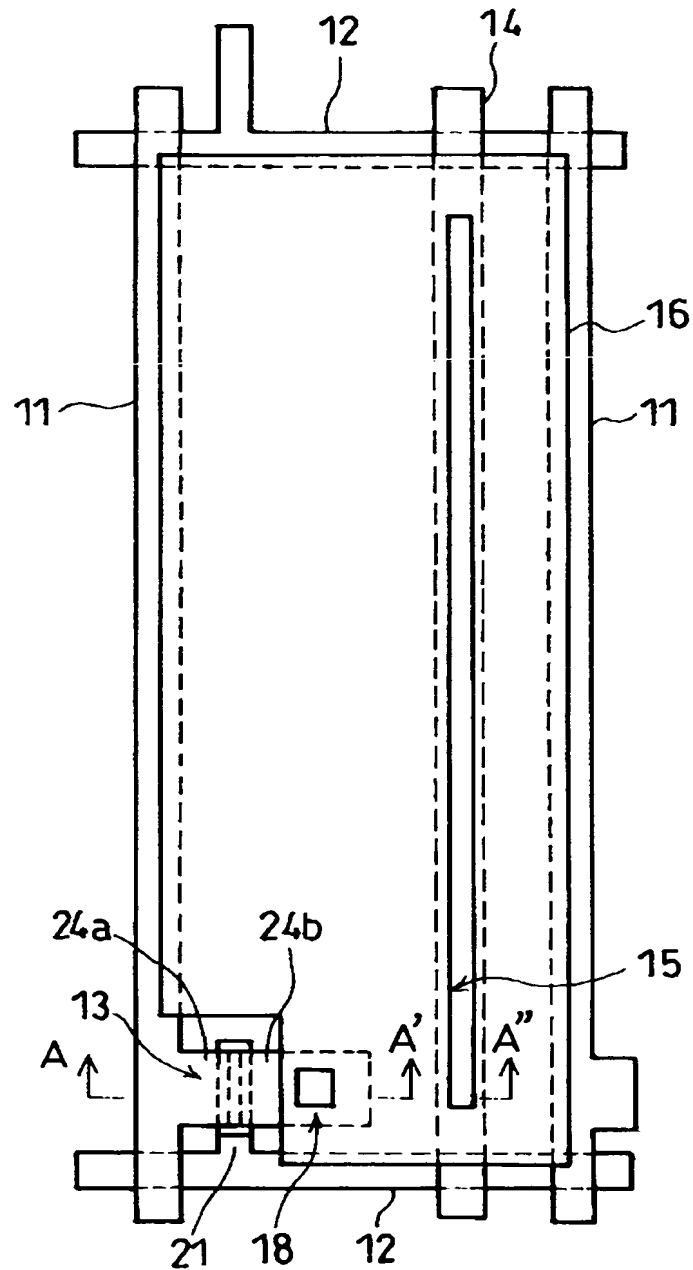
【符号の説明】

- 1 1 信号線
- 1 2 走査線
- 1 3 TFT (スイッチング素子)
- 1 4 画素容量配線 ((蓄積容量共通配線)、画素容量電極 (蓄積容量電極)))
- 1 4 a 画素容量 (蓄積容量)
- 1 5 コンタクトホール
- 1 5 a コンタクトホール
- 1 5 b コンタクトホール
- 1 6 画素電極
- 2 5 透明電極層 (電極層)
- 2 5 c 透明電極 (透明電極膜)
- 2 5 d 透明電極 (透明電極膜)
- 2 7 保護膜 (絶縁膜)
- 2 8 層間絶縁膜
- 3 0 a 画素容量 (蓄積容量)
- 3 0 b 画素容量 (蓄積容量)

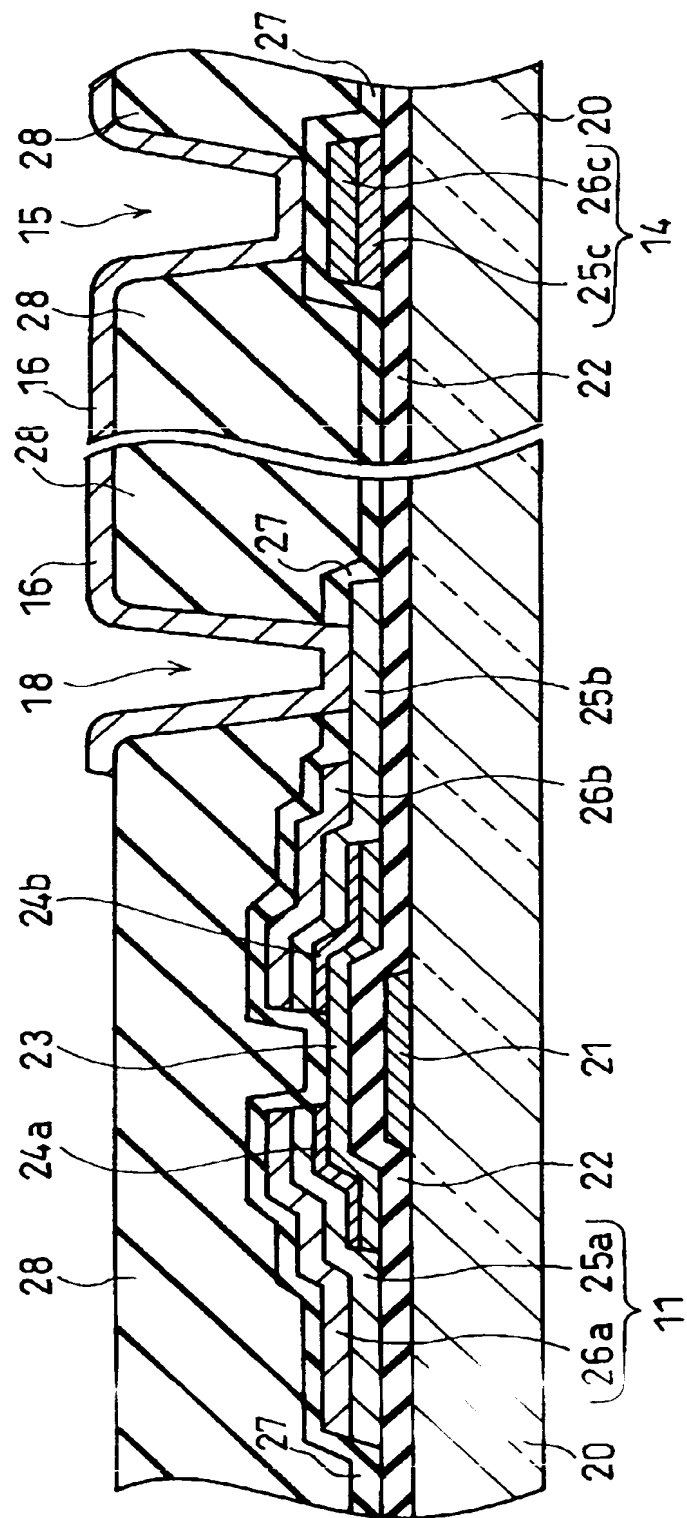
- 3 1 変換層（変換部）
- 3 2 共通電極層（バイアス電圧印加手段）

【書類名】 図面

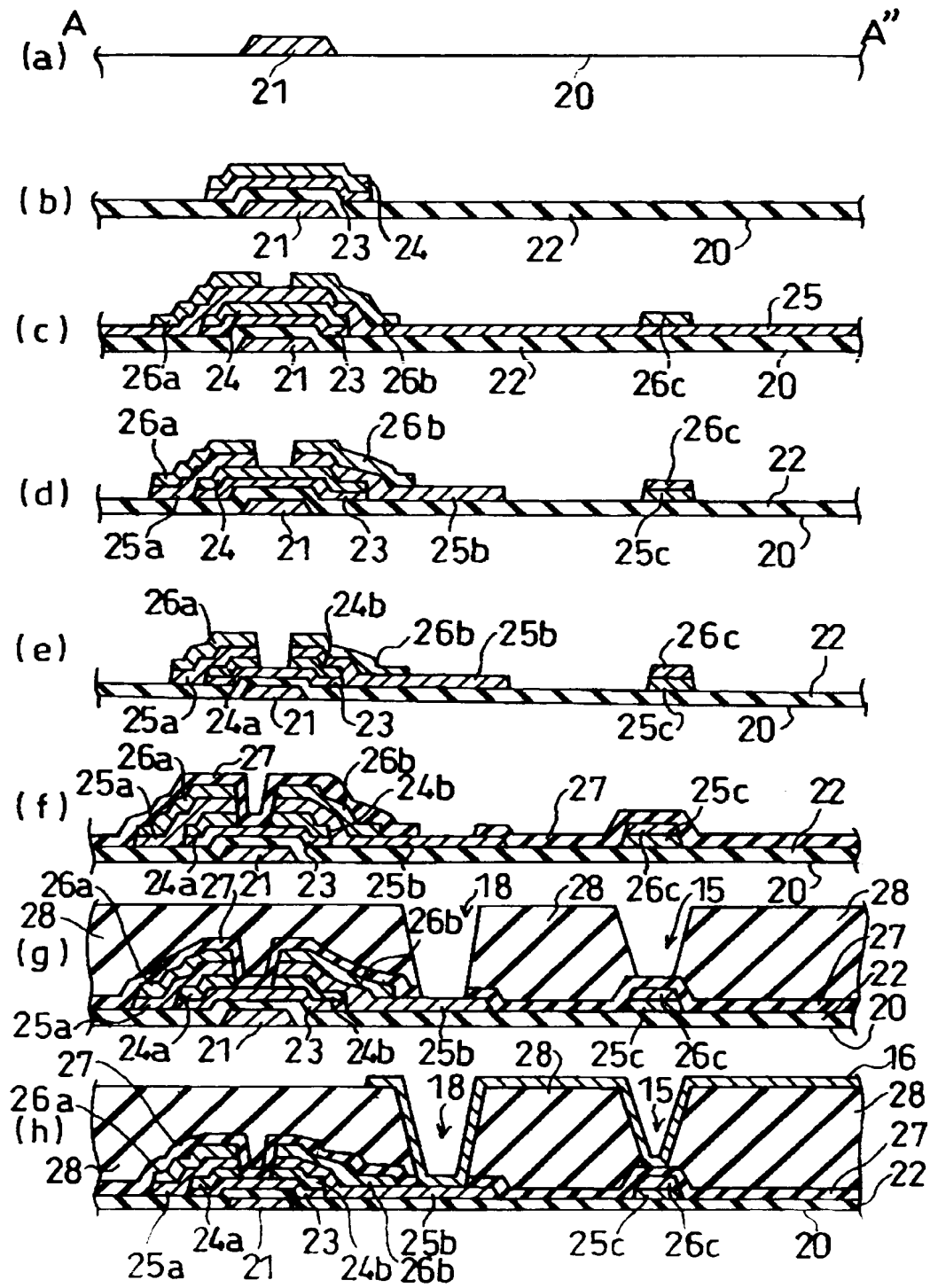
【図 1】



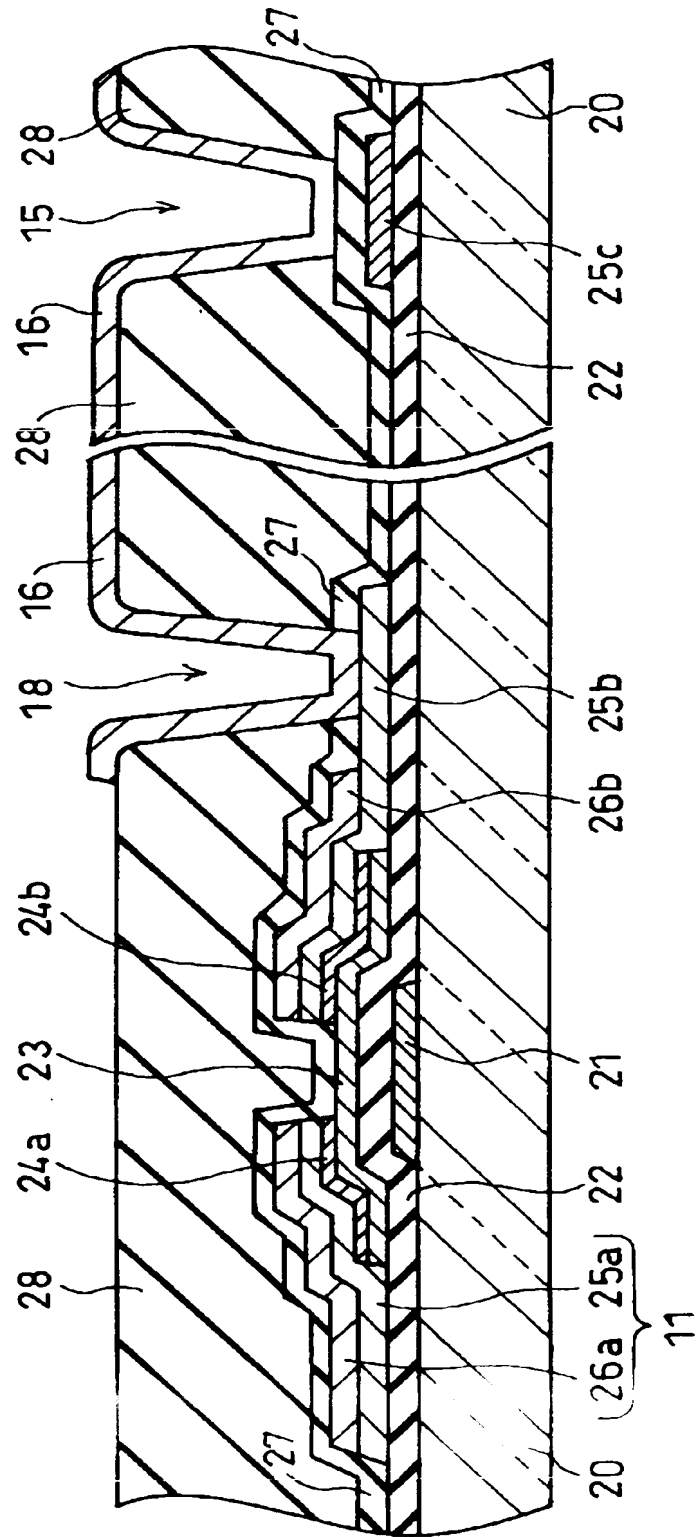
【図 2】



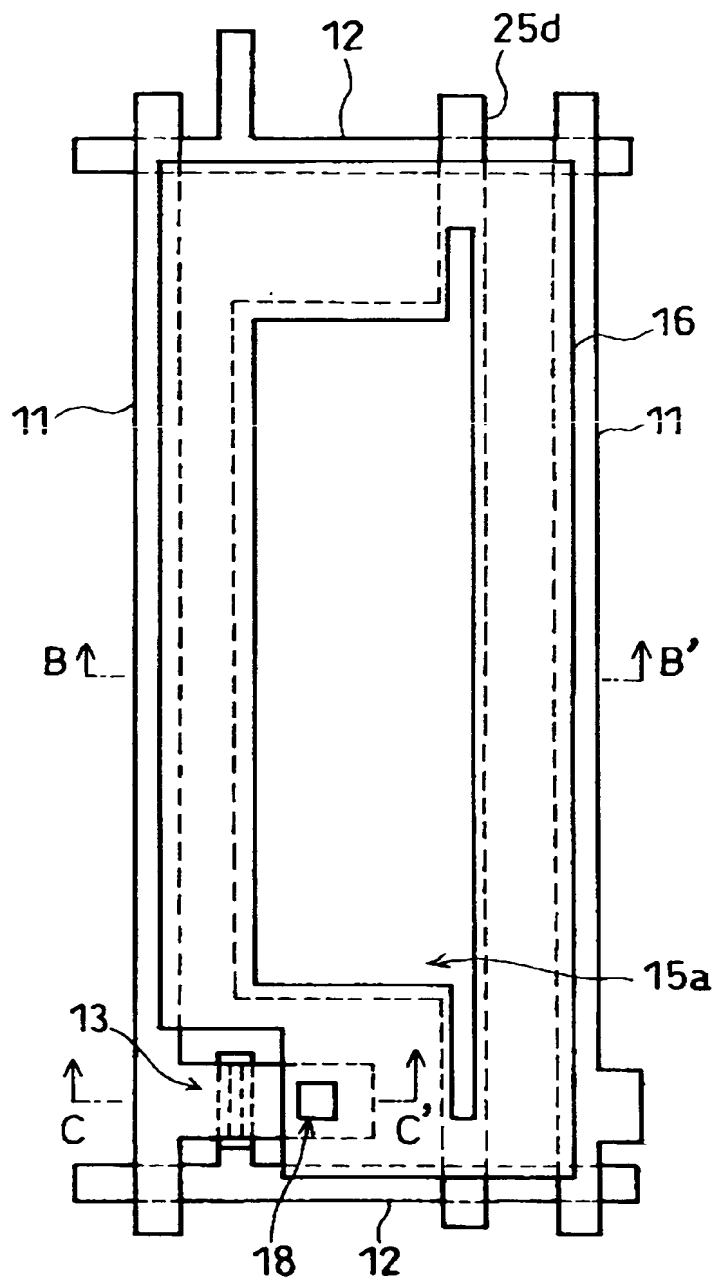
【图 3】



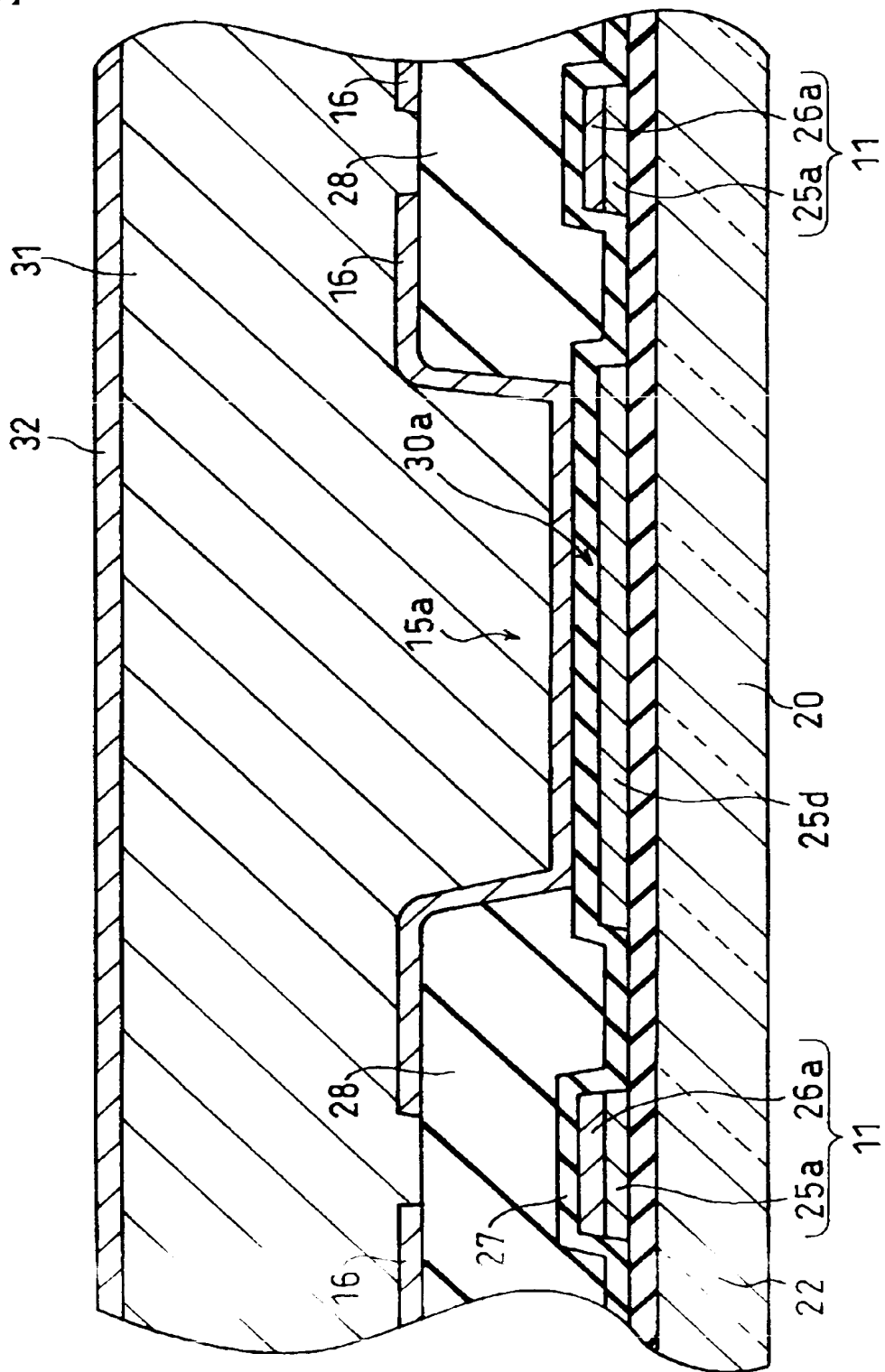
【图 4】



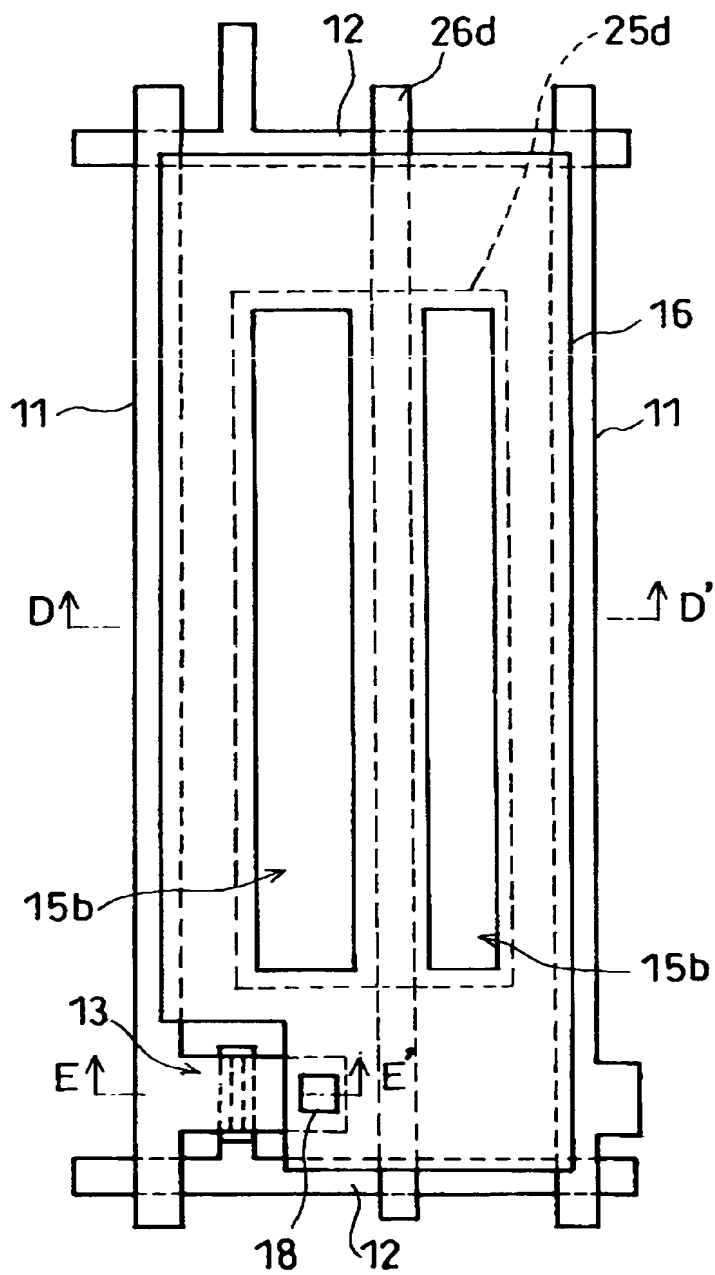
【図 5】



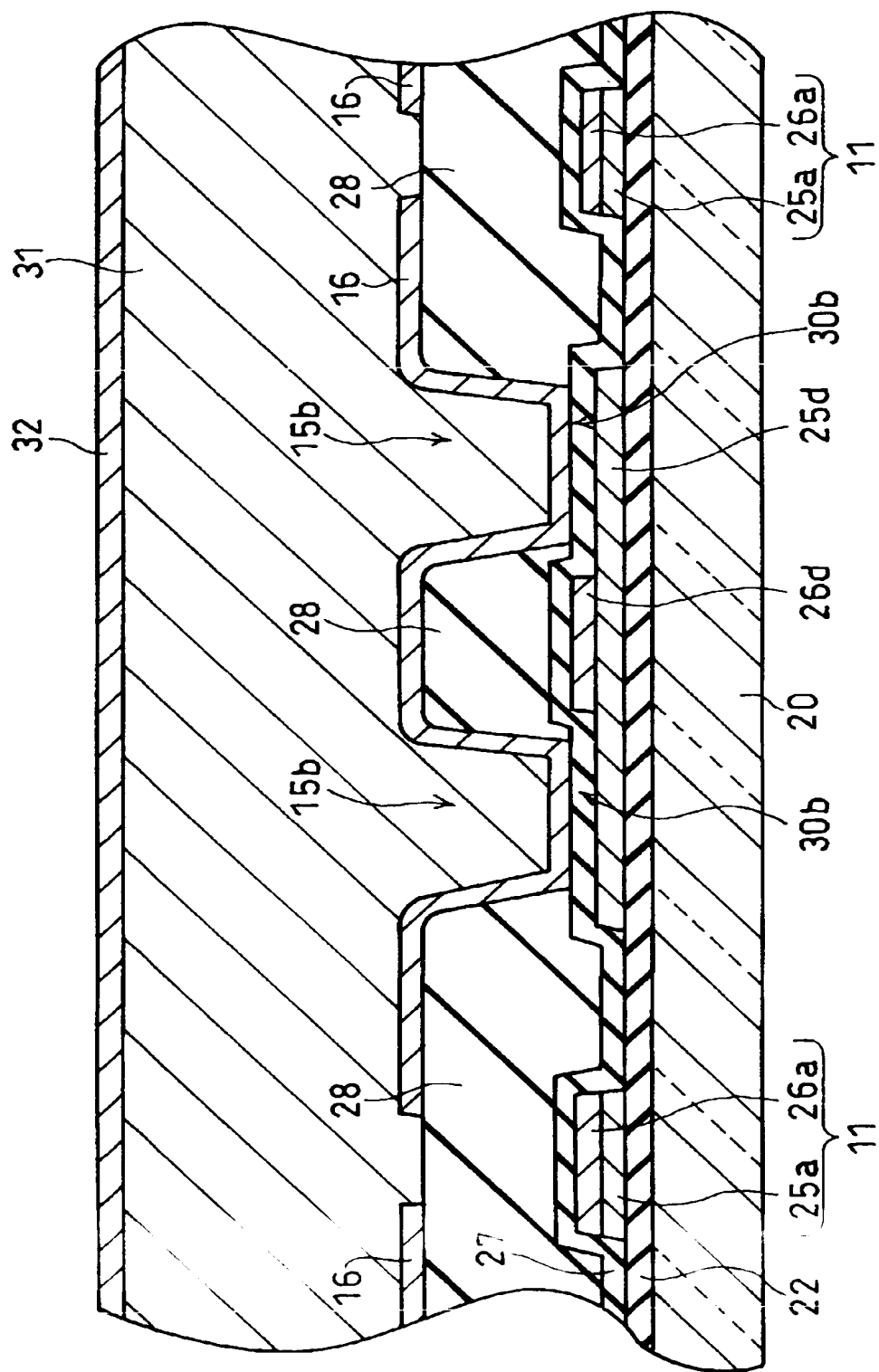
【図 6】



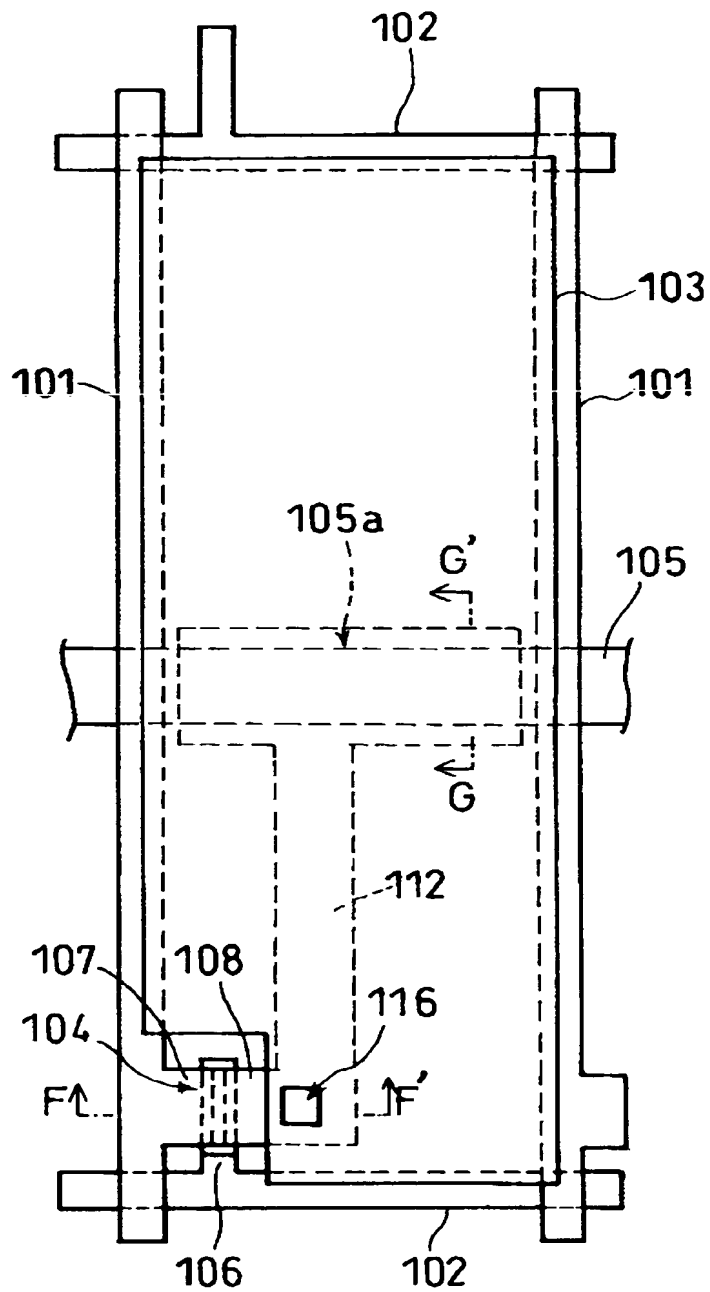
【図 7】



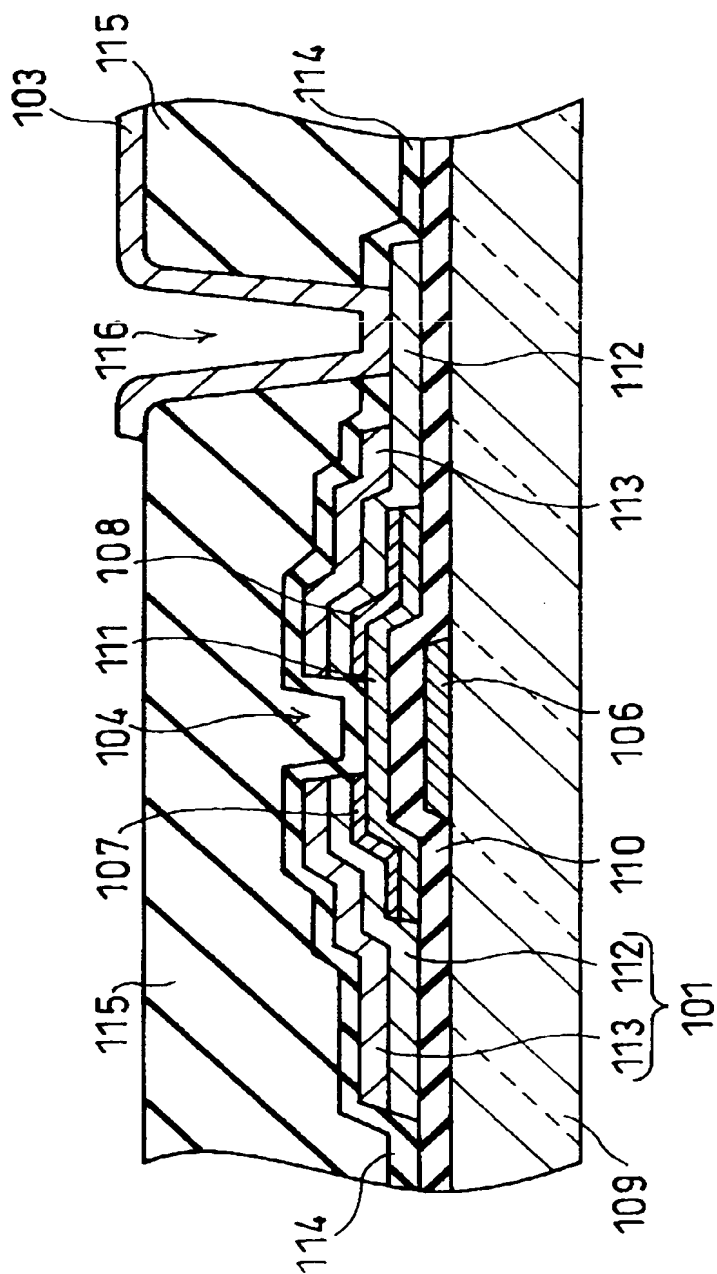
【図 8】



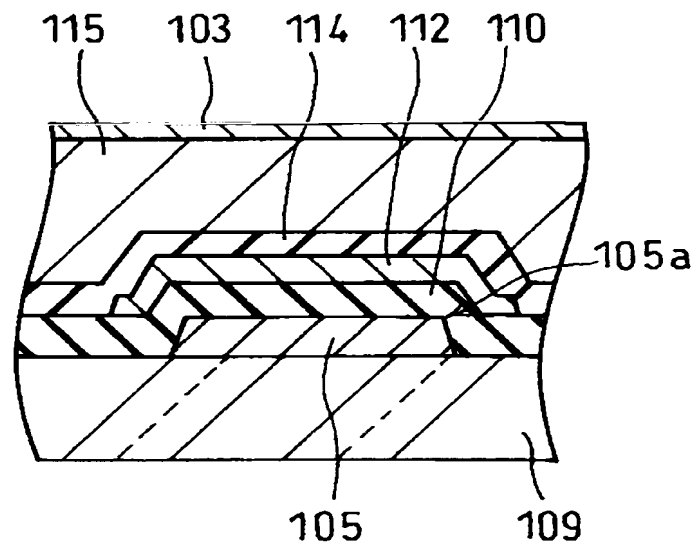
【図 9】



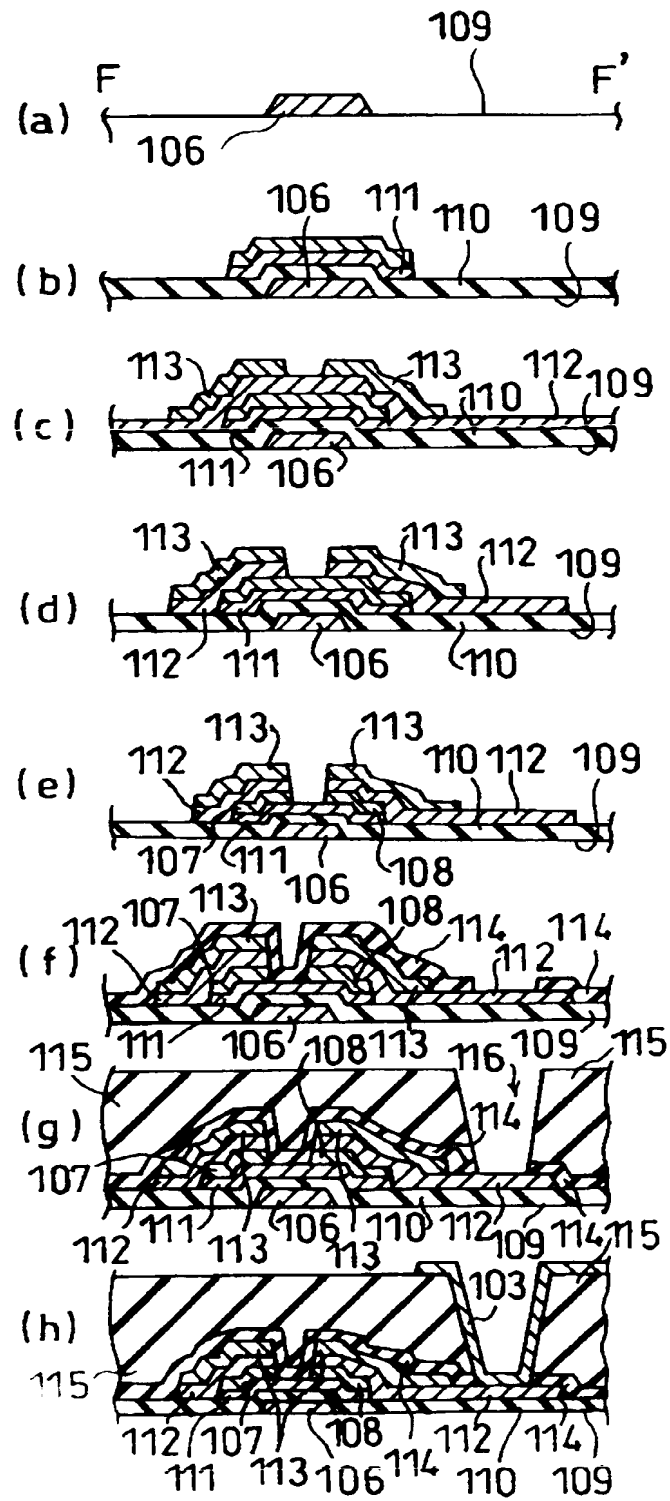
【図 10】



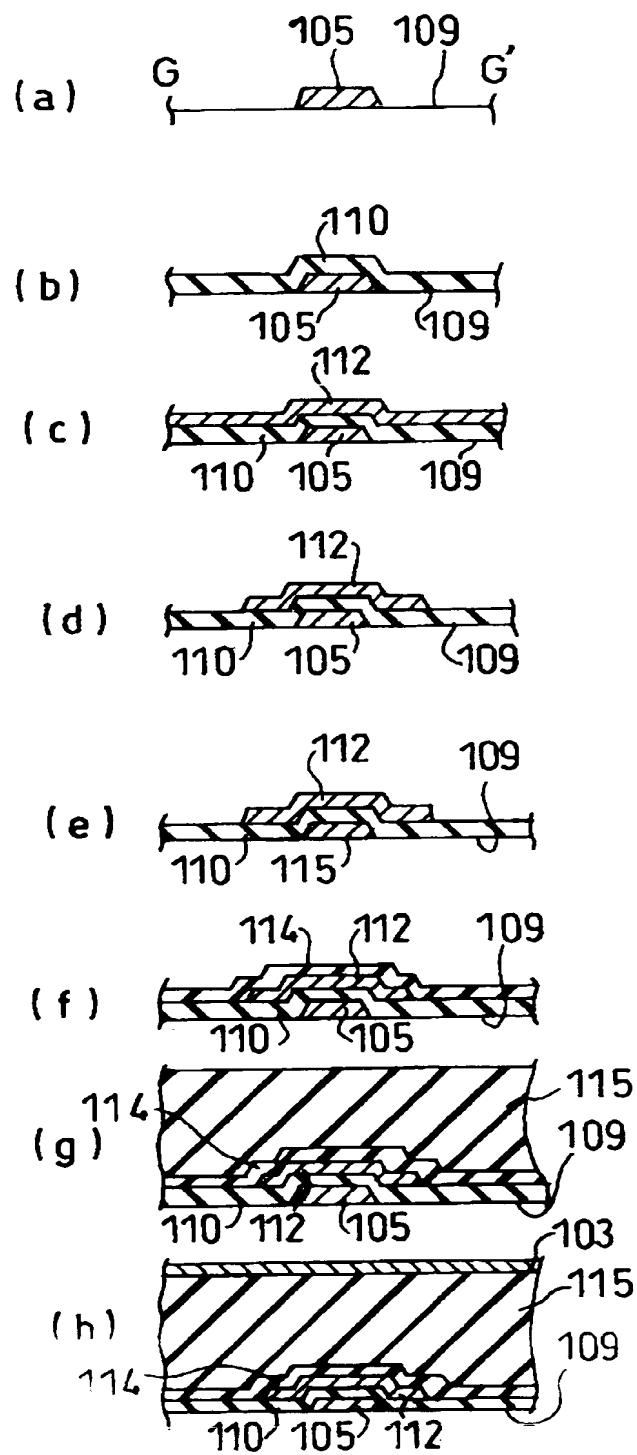
【図 1 1】



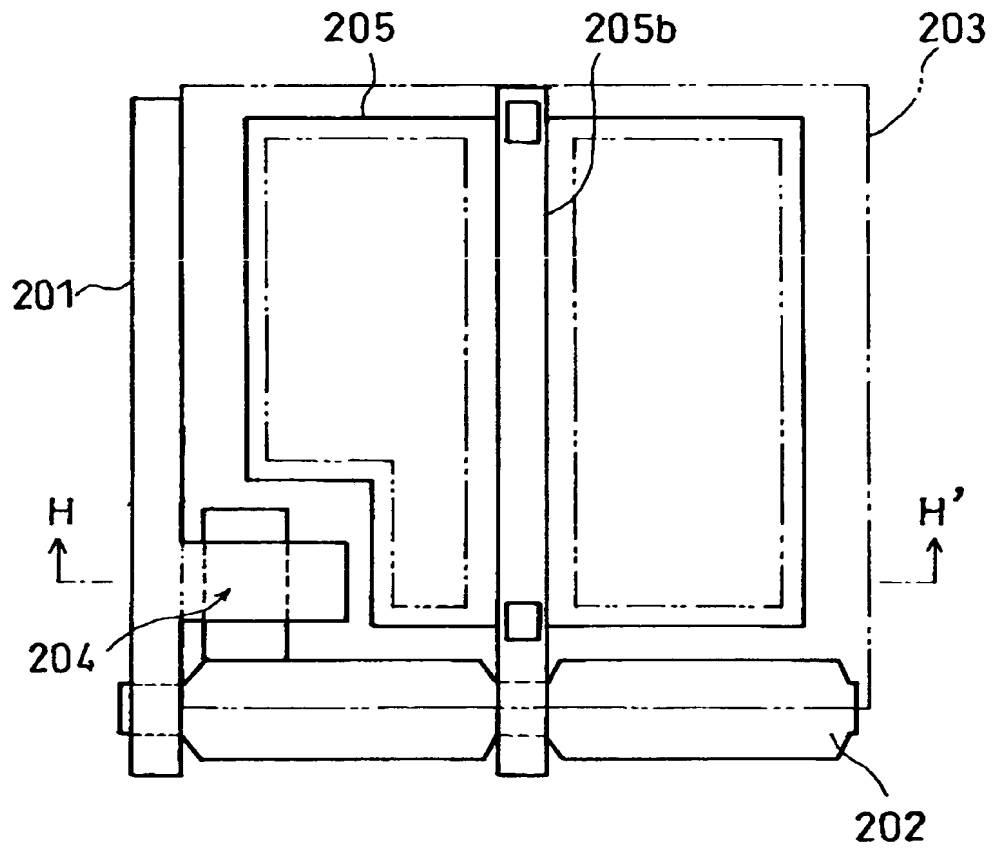
【図 12】



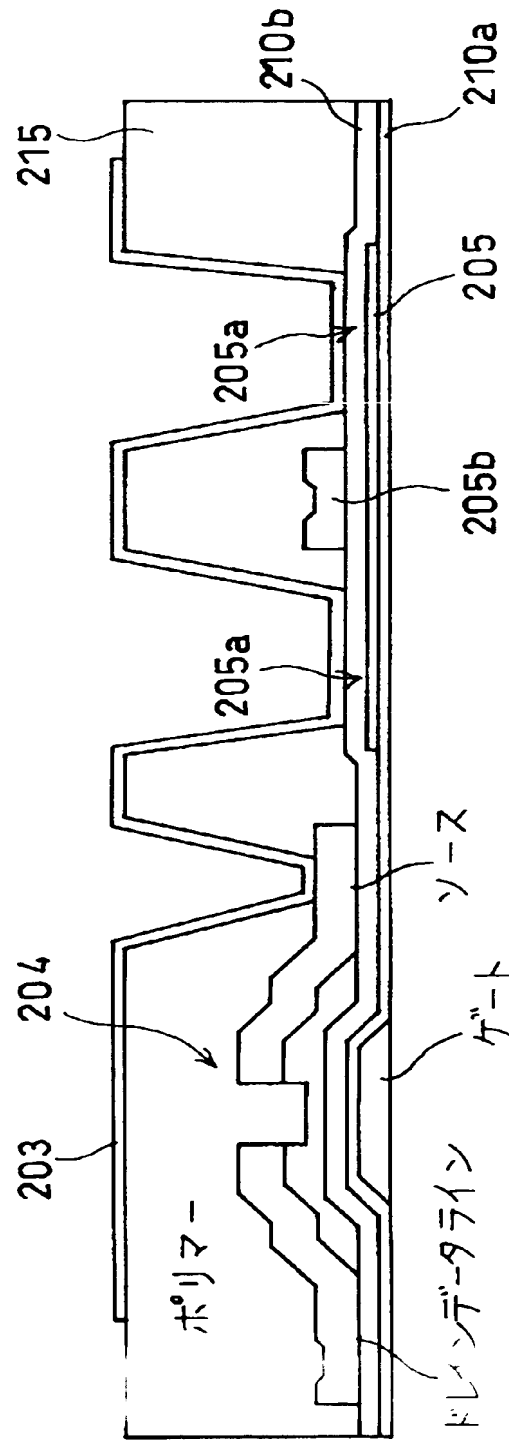
【図 1 3】



【図 1 4】



【図 1 5】



【書類名】 要約書

【要約】

【課題】 信号線における信号伝達遅延および画素間のクロストークの発生を防止することが可能なアクティブマトリクス基板、およびその製造方法を、工程数の増加を伴うことなく提供すること。該アクティブマトリクス基板を用いてなるイメージセンサを提供すること。

【解決手段】 画素容量電極を兼ねる画素容量配線 1 4 と信号線 1 1 とは、同一の電極層をパターンニングすることにより互いに平行に形成される。すなわち、画素容量配線 1 4 の形成のために追加の工程を必要としない。また該構成によれば、画素容量配線 1 4 と信号線 1 1 とが互いに平行であるため信号線における信号伝達遅延および画素間のクロストークの発生を防止することができる。該アクティブマトリクス基板は、例えば液晶表示装置やイメージセンサ等のアクティブマトリクス基板として好適に使用できる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005049]

1. 変更年月日	1990年 8月29日
[変更理由]	新規登録
住 所	大阪府大阪市阿倍野区長池町22番22号
氏 名	シャープ株式会社